

MOON & MOON International**(19) Korean Intellectual Property Office (KR)
(12) Patent Application Publication (A)**

(51) Int. Cl.	(11) Publication No.:	P2002-0088450
G02F 1/1345	(43) Publication Date:	November 29, 2002

(21) Application No.: 10-2001-0026906

(22) Application Date: May 17, 2001

(71) Applicant: BOE HYDIS TECHNOLOGY CO., LTD.
136-2, Ami-ri, Bubal-eup, Icheon-si, Gyeonggi-do, Korea

(72) Inventor: CHOI, SEONG TAE
Hyundai 3-cha Apt. 302-1003, Ami-ri, Bubal-eup, Icheon-si, Gyeonggi-do, Korea

(74) Agent: KANG, SUNG BAE

Request Exam.: Filed

(54) Title: ARRAY SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE

Abstract:

The present invention discloses an array substrate for liquid crystal display device where two different methods for array test can be applied. The present invention comprises a substrate; a plurality of gate bus lines and data bus lines perpendicularly intersected each other on a display area having pixels; a plurality of outer leader bonding pads including the plurality of gate bus lines and data bus lines extended to edge parts of the substrate; active resistance circuits disposed to an outer part of the outer leader bonding pads for preventing static electricity; and outer short bars disposed on the outer part of the substrate in contact with all the active resistance circuit, wherein via holes are disposed on odd/even lines connected between the outer leader bonding and the active resistance circuits for vertically alternate electric contact.

Representative drawing

Fig. 2a

Indices

Array substrate, OLB, gate bus line, data bus line, LCD

Specification

BEST AVAILABLE COPY

MOON & MOON International

Brief description of the drawings

Fig 1a is a plane view of an array substrate for liquid crystal display device when using a contact test method according to the prior art.

Fig 1b is a plane view of an array substrate for liquid crystal display device when using a non-contact test method according to the prior art.

Fig 2a is a plane view of pads on an array substrate for liquid crystal display device when using a contact test method according to the present invention.

Fig 2b is a plane view of pads on the array substrate for liquid crystal display device when using a non-contact test method according to the present invention.

* Explanation about marks referring to main parts of figures*

1: gate line 2: data bus line

3: display area 5: inner short pad

5a: inner circuit for preventing static electricity 7a: data pad

7b: gate pad 9: scribing line

10a: outer circuit for preventing static electricity 21a: data odd pad

21b: data even pad 23a: gate odd pad

23b: gate even pad

(57) What is Claimed Is:

1. An array substrate for liquid crystal display device comprising:

a substrate;

a plurality of gate bus lines and data bus lines perpendicularly intersected each other on a display area having pixels;

a plurality of outer leader bonding pads including the plurality of gate bus lines and data bus lines extended to edge parts of the substrate;

active resistance circuits disposed on an outer part of the outer leader bonding pads for preventing static electricity; and

outer short bars disposed on the outer part of the substrate in contact with all the active resistance circuit,

wherein via holes are disposed on odd/even lines connected between the outer leader

MOON & MOON International

bonding and the active resistance circuits for vertically alternate electric contact.

2. The array substrate for liquid crystal display device according to claim 1, is characterized in that a contact electrode is disposed on the via holes.

3. The array substrate for liquid crystal display device according to claim 1, is characterized in that an outer short bar and an inner short bar for connecting the odd/even lines electrically are disposed on the via holes.

4. The array substrate for liquid crystal display device according to claim 1, is characterized in that the disposition of the active resistance circuits and the via holes can be changed.

특 2002-0088450

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G02F 1/1345

(11) 공개번호 특2002-0088450
(43) 공개일자 2002년11월29일

(21) 출원번호 10-2001-0026906
(22) 출원일자 2001년05월17일
(71) 출원인 주식회사 현대 디스플레이 테크놀로지
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 최성태
경기도이천시부발읍아미리산149-1현대3차아파트302동1003호
(74) 대리인 강성배

심사권구 : 없음

(54) 발명표시장치: 어레이 기관

요약

본 발명은 상이한 어레이 테스트 방식에 적응할 수 있는 액정표시장치의 어레이 기관을 개시한다. 개시된 본 발명은 기관; 단위화소들을 포함하는 디스플레이 영역 상에 수직 교차되게 배치된 다수개의 게이트 버스 라인과 데이터 버스 라인; 상기 기관 가장자리까지 연장배치된 다수개의 게이트 버스 라인과 데이터 버스 라인을 포함하는; 다수개의 아웃터 리더 밴딩(Outer Leader Bonding) 패드; 상기 아웃터 리더 밴딩(Outer Leader Bonding) 패드 외곽부 각각에 정전기 방지를 위하여 배치한 능동 저항회로; 및 상기 능동 저항회로 모두와 콘택되면서 상기 기관의 외곽블레에 배치된 아웃 쇼트바를 포함하며, 상기 아웃터 리더 밴딩(Outer Leader Bonding) 패드와 능동 저항회로 사이에 연결된 배선을 상에는 오드(odd)/이븐(even) 라인으로 구분되어; 상하 교대로 전기적 콘택을 위한 비아홀을 배치하는 것을 특징으로 한다.

도면

도1a

도1b

어레이 기관, OLB, 게이트 버스 라인, 데이터 버스 라인, LCP

도면

도면의 주요부호 설명

도 1a는 종래 발명에 따른 콘택(contact) 테스트 방식을 사용할 경우 액정표시장치 어레이 기관을 도시한 평면도.
도 1b는 종래 발명에 따른 난(non) 콘택 테스트 방식을 사용할 경우 액정표시장치 어레이 기관을 도시한 평면도.
도 2a는 본 발명에 따른 콘택 테스트 방식을 사용할 경우 액정표시장치 어레이 기관 패드부를 도시한 평면도.
도 2b는 본 발명에 따른 난(NON) 콘택 테스트 방식을 사용할 경우 액정표시장치 어레이 기관 패드부를 도시한 평면도.

도면의 주요 부분에 대한 부호의 설명

- | | |
|----------------------|--------------------------|
| 1: 게이트 버스 라인 | 2: 데이터 버스 라인 |
| 3: 디스플레이 영역 | 5: 인어(inner) 쇼트(short) 링 |
| 5a: 인어 정전기 방지회로 | 7a: 데이터 패드 |
| 7b: 게이트 패드 | 9: 스크라이빙 라인 |
| 10a: 아웃터 정전기 방지회로 | 21a: 데이터 오드(odd) 패드 |
| 21b: 데이터 이븐(even) 패드 | 23a: 게이트 오드(odd) 패드 |
| 23b: 게이트 이븐(even) 패드 | |

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치 어레이 기판에 관한 것으로서, 보다 구체적으로는 아웃터 리더 밴딩(Outer Leader Bonding) 패드와 능동 저항회로를 연결하는 배선 상에 비마찰을 배치하여 상이한 어레이 테스트 방식에 적용할 수 있는 액정표시장치 어레이 기판에 관한 것이다.

일반적으로 액정표시장치가 완제품이 될 때까지 여러번의 테스트 과정을 거친다. 보통 어레이 기판 제조 공정 단계에서는 어레이 테스트 과정을 거치고, 액정 주입 후에 어레이 기판과 상부 기판을 합착하는 셀 완성 단계에서 셀 테스트를 거친다. 마지막으로 완전한 패널이 완성된 상태에서 모듈 테스트를 거친다.

상기에 설명한 어레이 테스트 방식에는 두가지가 일반적으로 사용된다. 첫째는 각각의 게이트 패드와 데이터 패드들에 핀(Pin)을 콘택(contact)하여 테스트(test)하는 핀 콘택 방식과 두번째는 각각의 패드들 마드(odd)/이븐(even) 패드 및 Vcom패드로 나누어 테스트하는 난(non) 콘택 방식이 있다.

이하, 도면을 참조하여 상세히 설명한다.

도 1a는 종래 발명에 따른 핀 콘택 테스트 방식을 사용할 경우 액정표시장치 어레이 기판을 도시한 평면도이고, 도 1b는 종래 발명에 따른 난(non) 콘택 테스트 방식을 사용할 경우 액정표시장치 어레이 기판을 도시한 평면도이다.

도 1a에 도시한 바와 같이, 어레이 기판 상에는 다수개의 게이트 버스 라인(1)과 데이터 버스 라인(2)이 교차하여, 다수개의 단위화소를 포함하는 디스플레이 영역(3)을 한정한다. 상기 게이트 버스 라인(1)과 데이터 버스 라인(2)들을 포함하는 게이트 패드(7a)와 데이터 패드(7b)가 배치되어 있다. 이를 아웃터 리더 밴딩(Outer Leader Bonding: 이하, OLB라 한다)이라고도 한다. 상기 패드들(7a, 7b) 외곽 각각에는 정전기 방지회로(10a)가 배치되어 있고, 상기 정전기 방지회로들은 아웃터 쇼트 바(Outer Short Bar)에 의하여 전기적으로 연결되어 있다.

이러한 구조를 갖는 어레이 기판의 불량률 검사하기 위하여 핀(Pin)들을 각각의 OLB 패드에 콘택한다. 이러한 핀 콘택 테스트 방식은 전체의 라인 모두를 검사하게 되므로 신뢰도가 우수하고, 불량위치를 정확히 찾아낼 수 있는 장점이 있다. 하지만, 이러한 테스트 방식을 수행하기 위하여는 각각의 OLB 패드 모두와 콘택할 핀이 필요한데, 테스트 장비의 단가가 비싼 단점을 가지고 있다.

도 1b에 도시한 바와 같이, 상기 도 1a에서 설명한 어레이 기판과 동일한 구조를 갖고 있지만(구조 설명은 도 1a와 같음), 상기 OLB 패드들 마드(odd)와 이븐(even)으로 분리하는 점이 크게 다르다. 분리된 패드들은 게이트 마드(odd)/이븐(even) 패드, 데이터 마드(odd)/이븐(even) 패드, 및 Vcom패드의 5개의 프로브 패드(probe 패드)로 나뉜다.

이러한 구조를 갖는 어레이 기판들 테스트 하기 위하여는 상기 각각의 프로브 패드들에 일괄적으로 테스트 신호를 인가하여 불량여부를 테스트한다.

이러한 난(non) 콘택(contact) 테스트 방식은 핀 콘택 방식에 비하여 테스트 핀의 수가 적어 저렴하지만, 정확한 불량 위치를 파악하는데는 콘택 방식보다 떨어지는 단점이 있다.

상기에서 설명한 핀(pin) 콘택 방식과 난(non) 콘택 방식은 서로가 장단점을 모두 가지고 있다.

핀(pin) 콘택방식의 경우에는 각각의 OLB 패드간에 전기적으로 완전히 단락(open)되어 있지 않으면, OLB 패드간에 전기적 간섭이 발생하여 박막 트랜지스터(TFT)의 결합을 측정해 낼 수 없는 단점이 있다. 이러한 단점을 해결하기 위하여, OLB 패드의 각각을 전기적으로 단락시킬 경우에는 정전기 발생에 대한 대책이 없게 된다.

따라서, 핀 콘택 테스트를 위해서는 OLB 패드간에 단락(open)되거나 일정 크기 이상의 저항을 갖도록 하는 것이 좋고, 정전기 측정에서는 패드간 저항 없이 연결되는 것이 좋다.

그래서, 두가지 조건을 만족하기 위해 제안된 것이 OLB 패드 뒷면에 능동저항회로를 배치하는 것이다. 이 능동저항은 다이오드 특성을 갖고 있어 정전기와 같은 순간적으로 높은 전압에 대해서 저항이 작아지게 되고, 20~30V 정도의 테스트 구동 전압에서는 수 메가옴(MR) 이상의 저항 특성을 갖게 된다.

상기의 난(NON) 콘택 방식의 경우에는 핀(PIN) 콘택 방식과는 달리 화소 전극의 전압에 따르는 반사형 액정표시장치의 광특성으로부터 결합 여부를 검사하는 방식으로서 일괄적으로 동일한 테스트 신호를 인가하여 불량여부를 판단한다.

따라서, 핀 콘택 방식과는 정반대의 결선 개념으로서 OLB 패드의 각각을 연결시킬 것인가 아니면, 일정 저항 이상으로 분리시킬 것인가로 구분 지은다.

본 발명이 이루고자 하는 기술적 과제

그러나, 동일 생산 라인(LINE)에서는 상기에서 설명한 핀(PIN) 콘택 테스트 방식과 난(NON) 콘택 테스트 방식 중 하나의 테스트 방식을 사용해야만 하는 단점이 있다. 만약, 상기의 두가지 어레이 테스트 방식을 모두 적용해야 할 경우에는 어레이 테스트가 불가능하게 된다.

따라서, 본 발명은 상기에서 설명한 종래 기술의 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 두가지 상이한 어레이 테스트 방식을 동일 라인(LINE)에서 선택적으로 적용할 수 있도록한 액정표시장치 어레이 기판을 제공함에 있다.

본 발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명은, 기판; 단위화소들을 포함하는 디스플레이 영역 상에 수직 교차되게 배치된 다수개의 게이트 버스 라인과 데이터 버스 라인; 상기 기판 가장자리까지 연장 배치된 다수개의 게이트 버스 라인과 데이터 버스 라인을 포함하는 다수개의 아웃터 리더 밴딩(Outer Leader Bonding) 패드; 상기 아웃터 리더 밴딩(Outer Leader Bonding) 패드 외곽부 각각에 정전기 방지를 위하여 배치한 능동 저항회로; 및 상기 능동 저항회로 모두와 콘택되면서 상기 기판의 외곽 플레에 배치된 아웃 쇼트바를 포함하며, 상기 아웃터 리더 밴딩(Outer Leader Bonding) 패드와 능동 저항회로 사이에 연결된 배선을 상에는 마드(odd)/이븐(even) 라인으로 구분되어, 상하 교대로 전기적 콘택을 위한 비아홀을 배치하는 것을 특징으로 한다.

또한, 본 발명은 상기 비아홀 상에 콘택 전극을 배치하고, 상기 비아홀 상에 마드(odd)/이븐(even) 라인을 전기적으로 연결시키는 아웃터 테스트 쇼트 바와 인어 테스트 쇼트 바를 배치하며, 상기 능동 저항회로와 비아홀을 바꾸어 배치할 수 있는 것을 특징으로 한다.

본 발명에 의하면, 패드와 능동 저항회로 연결 배선 상에 전기적 콘택을 위한 비아홀을 형성하고, 적용되는 머레이 테스트 방식에 따라 콘택 전극 혹은 테스트 쇼트 바를 배치하여 상이한 테스트 방식을 선택적으로 적용할 수 있는 잇점이 있다.

(실시예)

도 2a는 본 발명에 따른 콘택 테스트 방식을 사용할 경우 액정표시장치의 머레이 기판 패드부를 도시한 평면도이고, 도 2b는 본 발명에 따른 난(NON) 콘택 테스트 방식을 사용할 경우 액정표시장치 머레이 기판 패드부를 도시한 평면도이다.

도 2a에 도시한 바와 같이, OLB 패드들(7a, 7b)과 능동 저항회로(10a)들이 연결된 배선 상에는 마드(odd)/이븐(even) 라인으로 구분하여 비아홀(25)이 형성되어 있다. 상기 비아 홀(25) 상에는 핀을 콘택하기 위한 콘택 전극(26)이 배치되어 있다. 상기 능동 저항회로(10a)들은 아웃터 쇼트 바(11)에 의하여 전기적으로 연결되어 있다.

상기에서 설명한 콘택 전극(26)이 배치되면, 핀 콘택 테스트 방식을 그대로 적용할 수 있다. 상기 콘택 전극(26)은 모든 OLB 패드(7a, 7b)에 배치되어 있으므로, 기존의 핀 콘택 테스트 방식의 정밀도를 가지고, 머레이 기판의 불량 여부를 판별할 수 있게 된다.

도 2b에 도시한 바와 같이, 능동 저항회로(10a)와 OLB 패드(7a, 7b) 간의 배선 상에 형성된 비아홀(25)을 마드(odd)/이븐(even) 라인을 끼리 전기적으로 연결할 마드(odd) 테스트 쇼트 바(27b)와 이븐(even) 테스트 쇼트 바(27a)를 배치한다.

상기와 같은 구조를 갖는 머레이 기판은 종래의 난(non) 콘택 테스트 방식을 사용할 때와 마찬가지로 패드들이 마드와 이븐으로 분리 되게 된다. 상기 분리된 마드 테스트 쇼트바(27b)와 이븐 테스트 쇼트바(27a)에 테스트 신호를 인가하고, 머레이 기판의 불량 여부를 검사할 수 있다.

상기에서 설명한 바와 같이, 비아홀이 형성된 머레이 기판이 제조되면, 적용할 머레이 테스트 방식에 따라 기판의 배선 구조를 바꿀 수 있다.

따라서, 핀 콘택 테스트 방식과 난 콘택 테스트 방식 모두를 하나의 공정 라인에서 적용할 수 있게 된다.

또한, 머레이 기판 상에 배치된 능동 저항회로와 쇼트 바들은 셀 공정후 그라인딩 과정에서 제거 되므로 액정표시장치에는 변동이 없게 된다.

따라서, 본 발명은 상이한 머레이 테스트 방식을 동일 라인에서 적용할 수 있도록 하여 생산 라인의 유연성 향상과 제조 수율 향상에 기여할 수 있는 잇점이 있다.

발명의 효과

이상에서 자세히 설명된 바와 같이, 본 발명에 의하면 다음과 같은 효과가 발생한다.

머레이 기판을 동일 라인에서 두가지 상이한 머레이 테스트 방식을 선택적으로 적용할 수 있도록하여 두 테스트 방식의 장점들만을 적용할 수 있는 효과가 있다.

또한, 액정표시장치의 개발과 생산에 있어서, 안정적 제조 수율 확보에 잇점이 있다.

본 발명은 상기한 실시 예에 한정되지 않고, 이하 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

(57) 청구의 범위

청구항 1

기판;

단위화소들을 포함하는 디스플레이 영역 상에 수직 교차되게 배치된 다수개의 게이트 버스 라인과 데이터 버스 라인;

상기 기판 가장자리까지 연장배치된 다수개의 게이트 버스 라인과 데이터 버스 라인을 포함하는 다수개의 아웃터 리더 밴딩(Outer Leader Bonding) 패드;

상기 아웃터 리더 밴딩(Outer Leader Bonding) 패드 외곽부 각각에 정전기 방지를 위하여 배치한 능동 저항회로; 및

상기 능동 저항회로 모두와 콘택되면서 상기 기판의 외곽플레에 배치된 아웃 쇼트바를 포함하며,

상기 아웃터 리더 밴딩(Outer Leader Bonding) 패드와 능동 저항회로 사이에 연결된 배선층 상에는 마드(odd)/미븐(even) 라인으로 구분되어, 상하 교대로 전기적 콘택을 위한 비마홀을 배치하는 것을 특징으로 하는 액정표시장치 어레이 기판구조.

청구항 2

제 1항에 있어서,

상기 비마홀 상에 콘택 전극을 배치하는 것을 특징으로 하는 액정표시장치의 어레이 기판구조.

청구항 3

제 1항에 있어서,

상기 비마홀 상에 마드(odd)/미븐(even) 라인을 전기적으로 연결시키는 아웃터 쇼트 바와 인어 쇼트바를 배치하는 것을 특징으로 하는 액정표시장치의 어레이 기판구조.

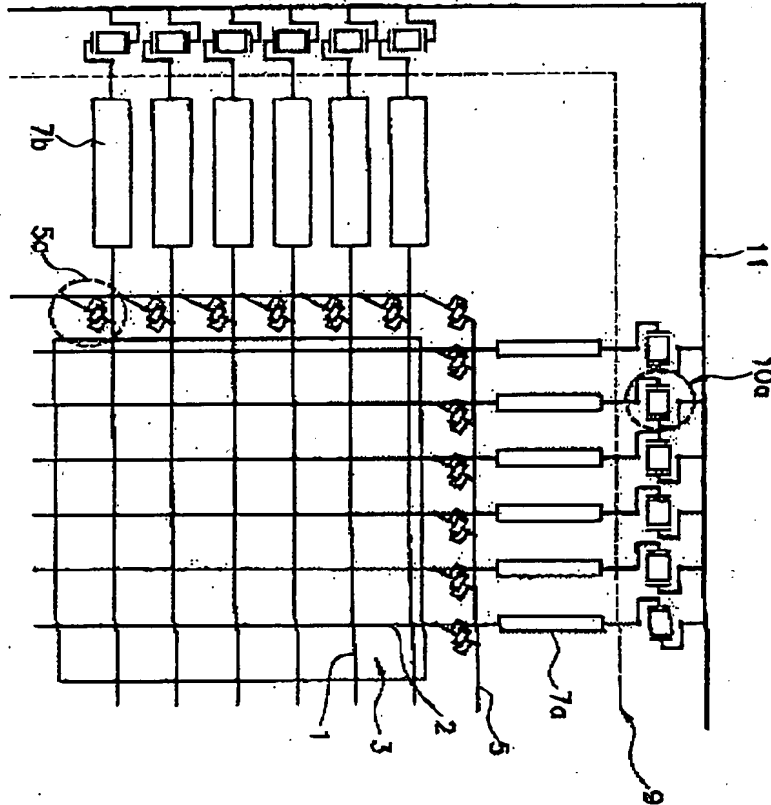
청구항 4

제 1항에 있어서,

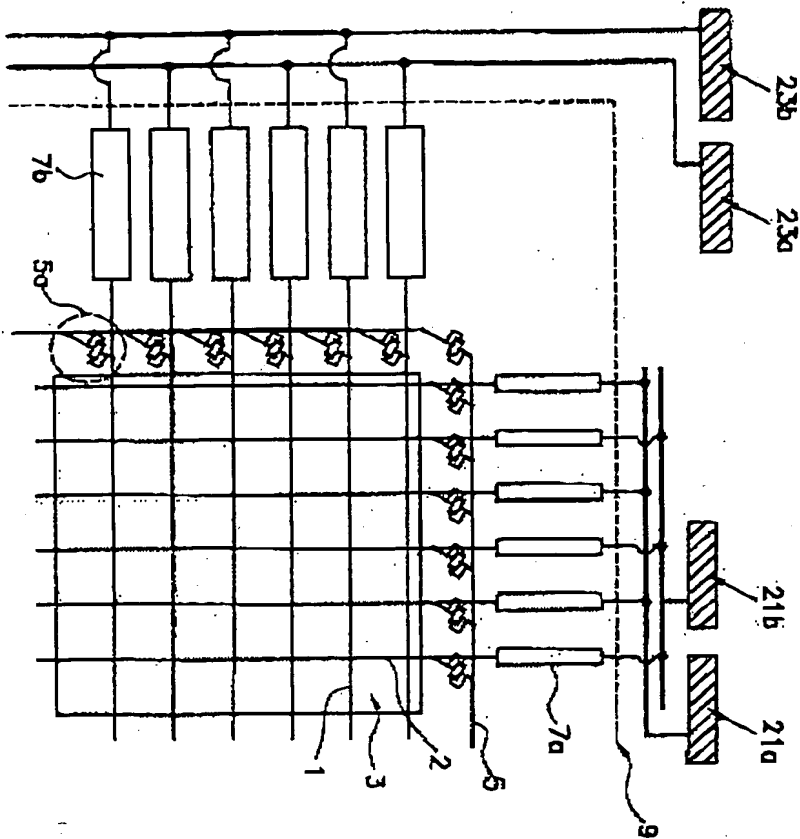
상기 능동 저항회로와 비마홀을 바꾸어 배치할 수 있는 것을 특징으로 하는 액정표시장치 어레이 기판구조.

도면

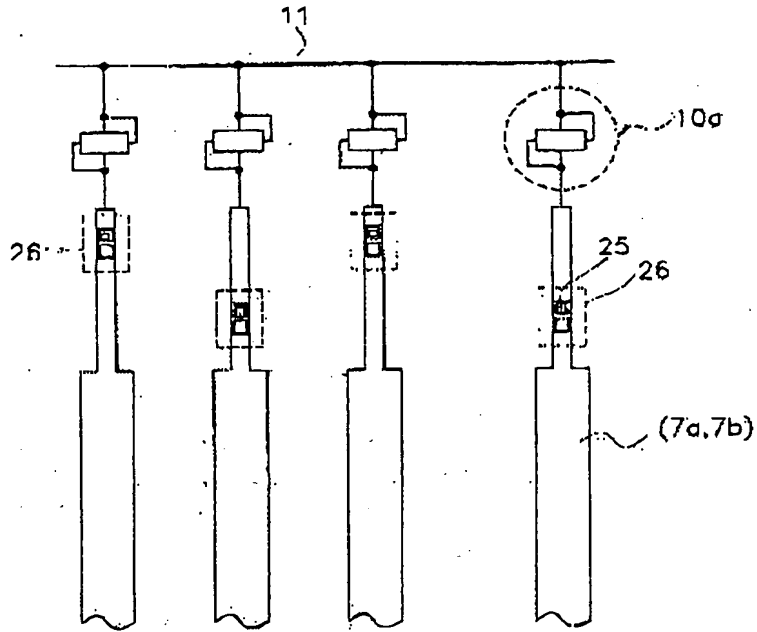
도면1a



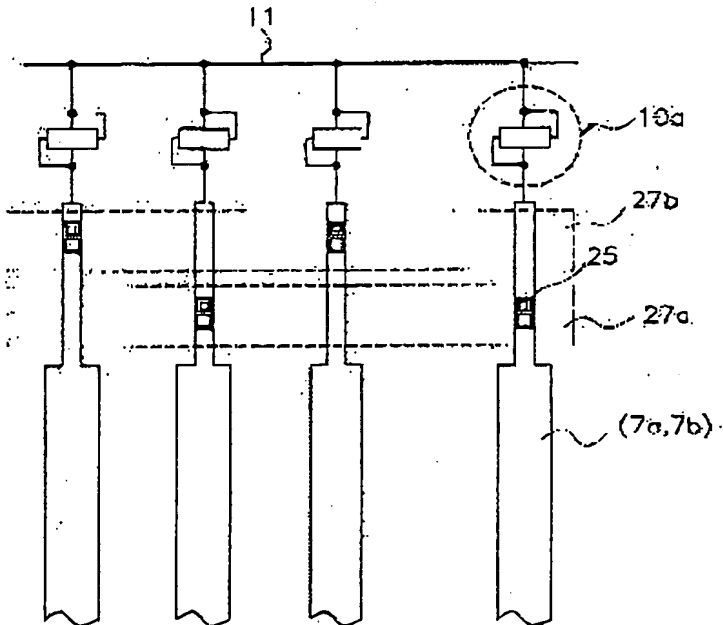
도면 1b



도 2a



도 2b



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.